







METHOD FOR MAKING INTEGRATED CIRCUIT CHIPS

Patent number: WO0057467
Publication date: 2000-09-28
Inventor: BRUNET OLIVIER (FR); ELBAZ DIDIER (FR); CALVAS BERNARD (FR); PATRICE PHILIPPE (FR)
Applicant: GEMPLUS CARD INT (FR); BRUNET OLIVIER (FR); ELBAZ DIDIER (FR); CALVAS BERNARD (FR); PATRICE PHILIPPE (FR)
Classification:
- **international:** H01L21/58; H01L21/56
- **european:** H01L21/56F; H01L23/31P6
Application number: WO2000FR00546 20000303
Priority number(s): FR19990003536 19990322

Also published as: FR2791471 (A1)**Cited documents:** EP0253444
 WO9857370
 GB2179001
 EP0051165
 WO9613066**Report a data error here****Abstract of WO0057467**

The invention concerns a method for making integrated circuit chips, characterised in that it comprises a step which consists in selectively coating an adhesive reinforcing material (13) over the whole active surface of a wafer of integrated circuits before separating the chips (10) excluding the contact pads (11) of each chip (10). The selective coating may be carried out before or after forming the bosses (12) on the contact pads (11), by screen printing or material spraying.

Data supplied from the **esp@cenet** database - Worldwide



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : H01L 21/58, 21/56	A1	(11) Numéro de publication internationale: WO 00/57467 (43) Date de publication internationale: 28 septembre 2000 (28.09.00)
--	----	---

(21) Numéro de la demande internationale: PCT/FR00/00546

(22) Date de dépôt international: 3 mars 2000 (03.03.00)

(30) Données relatives à la priorité:
99/03536 22 mars 1999 (22.03.99) FR

(71) Déposant (pour tous les Etats désignés sauf US): GEMPLUS [FR/FR]; Avenue du Pic de Bertagne, Parc d'Activités de Gémenos, F-13881 Gémenos (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (US seulement): BRUNET, Olivier [FR/FR]; 140 Avenue des Caillols, Bâtiment Méliat, F-13012 Marseille (FR). ELBAZ, Didier [FR/FR]; 103 Boulevard Saint Loup, F-13010 Marseille (FR). CALVAS, Bernard [FR/FR]; 30, Groupe Provence, Avenue de Verdun, F-13400 Aubagne (FR). PATRICE, Philippe [FR/FR]; Résidence les deux Moulins, Bâtiment D, Avenue Jean Roque, F-13190 Allauch (FR).

(74) Mandataire: NONNENMACHER, Bernard; Gemplus, Avenue du Pic de Bertagne, Parc d'Activités de Gémenos, F-13881 Gémenos (FR).

(81) Etats désignés: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, brevet ARIPO (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), brevet eurasiatique (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Publiée

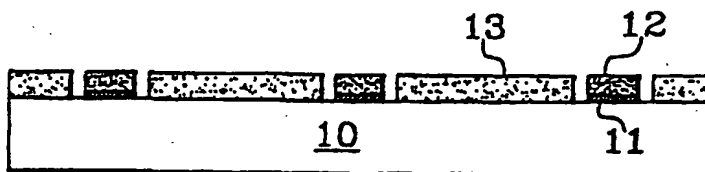
Avec rapport de recherche internationale.

(54) Title: METHOD FOR MAKING INTEGRATED CIRCUIT CHIPS

(54) Titre: PROCEDE DE FABRICATION DE PUCES DE CIRCUITS INTEGRES

(57) Abstract

The invention concerns a method for making integrated circuit chips, characterised in that it comprises a step which consists in selectively coating an adhesive reinforcing material (13) over the whole active surface of a wafer of integrated circuits before separating the chips (10) excluding the contact pads (11) of each chip (10). The selective coating may be carried out before or after forming the bosses (12) on the contact pads (11), by screen printing or material spraying.



(57) Abrégé

L'invention concerne un procédé de fabrication de puces de circuit intégré, caractérisé en ce qu'il comporte une étape consistant à réaliser une enduction sélective d'un matériau de renfort (13) adhésif sur toute la surface active d'une plaquette de circuits intégrés avant dissociation des puces (10) en excluant les zones des plots de contact (11) de chaque puce (10). L'enduction sélective peut être réalisée, avant ou après formation de bossages (12) sur les plots de contact (11), par sérigraphie ou par jet de matière.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Caméroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

PROCEDE DE FABRICATION DE PUCES DE CIRCUITS INTEGRES

La présente invention concerne la fabrication de dispositifs électroniques, comportant au moins une puce de circuit intégré collée sur un support ou noyée dans ce dernier et électriquement reliée à des éléments d'interface par des plages de connexion.

Ces dispositifs électroniques constituent par exemple des dispositifs portables tels que des cartes à puce avec et/ou sans contact ou encore des étiquettes électroniques ou des dispositifs fixes tels que des circuits intégrés d'appareils électroniques.

Les cartes à puce avec et/ou sans contact sont destinées à la réalisation de diverses opérations telles que, par exemple, des opérations bancaires, des communications téléphoniques, diverses opérations d'identification, ou des opérations de type télébillétique.

Les dispositifs électroniques fixes sont destinés au fonctionnement et à la programmation d'appareils électroniques.

La principale étape des procédés de fabrication des dispositifs électroniques consiste à réaliser la connexion des puces aux plages de contact du circuit auquel elles sont destinées.

En particulier, les technologies de connexion avec retournement de la puce, de type « flip chip » en anglais, sont de plus en plus utilisées pour connecter ces puces de circuit intégré aux plages de contact. Ces technologies permettent en effet de réduire notablement le nombre d'opérations lors de la connexion.

La technologie du « flip chip » comporte schématiquement quatre types d'opérations.

Tout d'abord, la préparation du circuit sur le substrat destiné à recevoir la puce. Il est nécessaire

de réaliser les plages de contact puis de préparer la connexion elle même par distribution d'un adhésif anisotropique, ou par impression ou par distribution d'un adhésif conducteur ou de matériaux de soudure, par exemple.

La puce est ensuite reportée en la retournant pour présenter sa face active vers le substrat.

Une troisième opération consiste à déposer, dans certains cas, un matériau de renfort entre la puce et le substrat, dit « underfill » en terminologie anglaise.

Enfin, il est possible de procéder à une éventuelle protection de la puce par dépôt d'une goutte de résine, à base d'époxy par exemple, thermodurcissable ou à réticulation aux ultraviolets.

Un procédé classique de montage de la puce en « flip chip » est illustré en coupe sur la figure 1.

Un tel procédé consiste à reporter la puce de circuit intégré 10 en disposant sa face active avec ses plots de contact 11 vers le substrat 15.

Des bossages 12 sont réalisés sur chaque plot de contact 11 de la puce 10 afin d'assurer la connexion électrique entre la puce 10 et les plages de contact 18. Il sont par conséquent nécessairement réalisés en matériau conducteur, tel que de l'or ou un matériau polymère chargé en particules métalliques, par exemple.

La puce est alors connectée en appliquant les bossages 12 sur les plages de contact 18 préalablement imprimées. Une telle connexion est réalisée sans utilisation de fils conducteur.

Dans l'exemple illustré, la puce 10 est connectée aux plages de contact 18 au moyen d'une colle conductrice 35 à conduction électrique anisotrope bien

connue et souvent utilisée pour le montage de composants passifs en surface.

5 Cette colle 35 contient avantageusement des particules conductrices élastiquement déformables, qui permettent d'établir une conduction suivant l'épaisseur lorsqu'elles sont pressées entre les bossages 12 et les
10 plages de contact 18, tout en assurant une isolation suivant les autres directions, c'est à dire dans le plan horizontal. La surépaisseur engendrée par les bossages 12 permet de comprimer la colle anisotropique 35 au niveau des plots de contact 11 et d'établir la connexion.

15 Une goutte de résine 20 peut ensuite être déposée pour renforcer la tenue de la connexion de la puce 10 sur le substrat 15.

20 Une variante de réalisation est illustrée sur la figure 2. Les bossages 12 des plots de contact 11 de la puce 10 sont reportés sur le motif des plages de contact 18 préalablement imprimé, avant la polymérisation complète de l'encre conductrice utilisée pour l'impression du motif. La fixation et la connexion de la puce 10 sont ainsi réalisées simultanément, au cours de la polymérisation de l'encre des plages de contact 18.

25 Dans une autre variante, il est également possible de fixer et de connecter la puce en une seule étape de soudage. Les plages de contact 18 sont alors réalisées par impression d'un alliage métallique, et les bossages 12 sont réalisés en alliage métallique à bas point de
30 fusion et sont donc refondus au moment du report de la puce 10 sur les plages de contact 18.

La variante de connexion illustrée sur la figure 1 présente une bonne tenue mécanique puisqu'une goutte de

colle à conduction anisotropique 35 a été déposée sur toute la surface entre la puce 10 et le substrat 15.

Cependant, cette variante présente le désavantage d'être longue à réaliser.

5 Les autres variantes décrites sont plus simples mais ne permettent pas une très bonne tenue mécanique de la connexion.

10 La distribution d'un matériau de renfort a pour but de renforcer la tenue mécanique de la puce sur le circuit, en particulier lorsque le dispositif électronique subit des contraintes mécaniques de torsion ou en flexion, ou des contraintes climatiques qui peuvent engendrer une dilatation thermique.

15 Le dépôt d'un tel matériau de renfort s'effectue généralement par distribution dudit matériau sur les pourtours de la puce après qu'elle ait été connectée selon une des techniques décrites ci-dessus.

20 Les produits généralement utilisés ont la caractéristique de migrer sous la puce, avant leur polymérisation, par effet de capillarité.

25 Cependant, cette étape du procédé présente l'inconvénient d'être lente et délicate. En effet, elle comprend une opération de distribution avec précision du matériau de renfort sur le pourtour de la puce, suivie d'une étape de polymérisation du matériau.

De plus, cette opération doit être effectuée en ligne avec les autres opérations de la connexion, elle doit donc être maîtrisée en temps et en qualité.

30 En outre, l'opération de dépôt d'un matériau de renfort peut générer des défauts difficiles à détecter, tel qu'une bulle d'air sous la puce par exemple, qui entraînera des problèmes de fiabilité.

Le but de la présente invention est de pallier aux inconvénients de l'art antérieur.

5 La présente invention a pour objet de proposer un procédé de dépôt rapide et fiable d'un matériau de renfort adhésif sur la face active de la puce pour sa connexion selon une technique de « flip chip ».

10 La présente invention a plus particulièrement pour objet un procédé de fabrication de puces de circuits intégrés, caractérisé en ce qu'il comporte une étape consistant à réaliser une enduction sélective d'un matériau de renfort adhésif sur toute la surface active d'une plaquette de circuits intégrés avant dissociation des puces en excluant les zones des plots de contact de chaque puce.

15 Selon un mode de réalisation, l'enduction sélective du matériau de renfort est réalisée par sérigraphie à travers un écran et au moyen d'une racle, l'écran de sérigraphie étant réalisé à partir du masque de gravure des plots de contact des puces sur la plaquette.

20 Préférentiellement, l'écran de sérigraphie est réalisé en toile inox.

25 Selon un autre mode de réalisation, l'enduction sélective du matériau de renfort est réalisée par impression au jet de matière au moyen d'une tête d'impression commandée électroniquement à partir d'un fichier numérique créé d'après le motif du masque de gravure des plots de contact des puces sur la plaquette.

30 Préférentiellement, l'enduction du matériau de renfort est réalisé goutte par goutte sur la plaquette, chaque goutte étant délivrée suite à une commande électronique sur la tête d'impression.

Selon une particularité, la vitesse de défilement de la plaquette est commandée électroniquement.

Selon une caractéristique, l'électronique de commande modifie automatiquement le fichier numérique du motif de la plaquette afin de faire correspondre les zones non enduites de produit avec la vitesse de défilement de la plaquette.

Selon une autre caractéristique, la tête d'impression comporte plusieurs buses de diamètre prédéterminé et pilotées indépendamment.

La tête d'impression balaye toute la plaquette et l'électronique de commande déclenche le jet de gouttes en fonction du fichier numérique propre à ladite plaquette.

Selon une caractéristique, le matériau de renfort est constitué par un matériau isolant, solide et activable à chaud et/ou à la pression lors de la connexion de la puce.

Selon une autre caractéristique, le matériau de renfort est un thermoplastique.

Selon une autre caractéristique, le matériau de renfort est une résine époxy bi-état.

Préférentiellement, l'épaisseur du matériau de renfort enduit est supérieure ou égale à l'épaisseur des bossages des plots de contact.

La présente invention se rapporte également à une plaquette de puces de circuits intégrés, caractérisée en ce qu'elle comporte un matériau de renfort adhésif déposé sur la face active des puces en excluant les zones des plots de contact.

La présente invention a également pour objet un procédé de fabrication d'un dispositif électronique comportant un substrat et au moins une puce fixée sur le substrat par une matière adhésive, caractérisé en ce que :

- on fournit une puce comportant un matériau de renfort adhésif sur sa surface active à l'exception de ses plots de contact ;
- on fixe la puce sur le substrat par collage au moyen du matériau de renfort adhésif.

Selon une variante, une connexion des plots de contact à des plages de contact d'un circuit électrique et/ou électronique, préalablement disposé sur ledit substrat, est réalisée simultanément au collage de la puce sur le substrat.

La présente invention a également pour objet un dispositif électronique comportant une puce de circuit intégré collée face avant sur un substrat par une matière adhésive, caractérisé en ce que la matière s'étend uniquement dans les limites de la face active de la puce à l'exception au moins de ses plots de contact.

Le dispositif électronique consiste en une carte de mémorisation.

Le procédé de fabrication selon la présente invention présente l'avantage d'être simple et rapide.

Le procédé selon l'invention présente l'avantage de supprimer l'opération de dépôt d'un matériau de renfort sur les pourtours de la puce, qui est longue et délicate, par une opération fiable et maîtrisée dans le temps. Ainsi l'opération de dépôt d'un matériau de renfort peut être réalisée en ligne à haute cadence.

En particulier, l'enduction sélective du procédé selon l'invention est réalisée sur la plaquette de silicium avant la dissociation des puces, ce qui permet une cadence de fabrication plus importante qu'un dépôt de matériau de renfort sur chaque puce selon des procédés connus.

Le procédé de fabrication selon l'invention permet également de supprimer l'étape de préparation du substrat destiné à recevoir la puce par distribution d'une colle conductrice ou d'un matériau de soudure. En effet, le matériau de renfort est avantageusement adhésif et permet la fixation de la puce sur le substrat en « flip chip ».

En outre, le procédé selon l'invention présente l'avantage de réaliser un collage de la puce qui soit net, c'est à dire sans débordement de colle sur le substrat ou sur la tranche de la puce.

De plus, l'utilisation de la sérigraphie présente l'avantage de fournir un nombre de paramètres importants pour régler l'épaisseur du dépôt, tel que la nature de l'écran et la pression de la racle.

En outre, l'utilisation du jet de matière permet d'exploiter la souplesse des commandes électroniques et des fichiers numériques. Lorsque le motif de la plaquette change, le fichier numérique associé change simultanément.

De plus, l'utilisation de la technique de dépôt de « goutte à la demande » permet de contrôler précisément l'épaisseur du dépôt du matériau de renfort.

D'autres particularités et avantages de l'invention apparaîtront à la lecture de la description donnée à titre d'exemple illustratif et non limitatif et faite en référence aux figures annexées qui représentent :

- la figure 1, déjà décrite, est un schéma en coupe transversale illustrant un procédé traditionnel de connexion d'une puce par une technique de « flip chip » ;
- la figure 2, déjà décrite, est un schéma en coupe transversale illustrant une variante du

procédé traditionnel de connexion d'une puce par une technique de « flip chip » ;

- la figure 3 est un schéma en coupe d'une puce avec un dépôt de matériau de renfort ;
- 5 - la figure 4 illustre schématiquement une première variante de réalisation du procédé selon la présente invention ;
- la figure 5 illustre schématiquement une deuxième variante de réalisation du procédé
- 10 selon la présente invention ;
- la figure 6 est un schéma en coupe transversale illustrant la connexion d'une puce par le procédé selon la présente invention.

15 La figure 3 illustre schématiquement un dépôt de matériau de renfort 13 sur la face active d'une puce 10 présentant des bossages 12 sur ses plots de contact 11. L'enduction sélective du matériau de renfort 13 a exclu les zones des plots de contact 11.

20 Le matériau de renfort 13 est un matériau solide et isolant tel qu'un matériau thermoplastique , un adhésif thermoactif, ou une résine époxy bi-état, par exemple.

Le choix du matériau de renfort 13 est motivé par ses propriétés de réactivation de son pouvoir adhésif.

25 En effet, ce matériau 13 a été préférentiellement déposé sur la plaquette de silicium 1 avant la dissociation des puces 10, et il doit ensuite servir de moyen de collage de la puce 10 sur le substrat 15 du circuit auquel elle est destinée lors de sa connexion

30 en « flip chip ». Il est par conséquent indispensable de pouvoir réactiver ses propriétés adhésives lors de cette connexion.

Selon les modes de réalisation envisagés, le matériau de renfort 13 peut être indifféremment déposé

avant ou après la réalisation des bossages 12 sur les plots de contact 11.

5 L'enduction sélective doit être réalisée avec précision pour ne pas enduire les zones des plots de contact 11. De plus, un bon calibrage de l'épaisseur du matériau 13 est nécessaire afin de garantir une épaisseur légèrement supérieure ou égale à l'épaisseur des bossages 12 de manière à permettre le report de la puce en « flip chip » dans la suite du procédé.

10 Une enduction sélective permettant d'obtenir les caractéristiques mentionnées peut être obtenue par diverses techniques de dépôts.

15 Un premier mode de réalisation de la présente invention consiste à réaliser le dépôt du matériau de renfort 13 par sérigraphie. Une telle technique est illustrée sur la figure 4.

Le dépôt d'un matériau 13 par sérigraphie est réalisé au moyen d'un écran 40 et d'une racle 41.

20 L'écran de sérigraphie 40 est avantageusement réalisé à partir du masque de gravure de la plaquette de silicium 1 afin de ne pas enduire les zones des plots de contact 11.

25 Afin de garantir un dépôt précis, il est avantageux d'utiliser une machine de haute précision équipée d'un dispositif de Vision Assistée par Ordinateur (VAO). De tels équipements sont couramment utilisés dans les procédés de fabrication de circuits de microélectronique.

30 Préférentiellement, l'écran 40 utilisé sera constitué d'une toile inox permettant une grande précision du fait de son faible pouvoir d'allongement sous la pression de la racle 41.

Le dépôt d'un matériau de renfort 13 par sérigraphie présente l'avantage d'introduire de nombreux paramètres permettant une optimisation de l'épaisseur du dépôt. De tels paramètres consistent, par exemple, dans :

- la nature du tissu de l'écran 40, en particulier l'ouverture des mailles et/ou le diamètre des fils du tissu, etc.
- la pression exercée par la racle 41 sur l'écran 40 ;
- l'épaisseur de l'enduction 13 sur le tissu de l'écran 40 ;
- la viscosité et/ou l'extrait sec du produit 13 utilisé pour le dépôt.

Le réglage de ces paramètres permet d'affiner l'épaisseur du dépôt du matériau de renfort 13 à l'épaisseur des bossages 12 utilisés pour la connexion électrique.

Un deuxième mode de réalisation de la présente invention consiste à réaliser le dépôt du matériau de renfort 13 par jet de matière. Une telle technique est illustrée sur la figure 5.

Le dépôt d'un matériau 13 par jet de matière est réalisé au moyen d'une tête d'impression 50 comportant une ou plusieurs buses.

Le motif du dépôt du matériau de renfort 13 est créé numériquement d'après le masque de gravure de la plaquette de silicium 1 afin de ne pas enduire les zones des plots de contact 11. Ce fichier numérique est utilisé par le programme de commande de la tête d'impression 50. Ainsi, un changement de plaquette 1 entraîne simplement un changement de fichier numérique

et non la fabrication et la mise en place d'un autre écran de sérigraphie.

5 Le dépôt du matériau de renfort 13 est avantageusement réalisé par une technologie de jet dite de « goutte à la demande », appelée DOD (Drop On Demand, en anglais).

Une telle technologie permet de contrôler très précisément la quantité de produit déposé, ainsi que la zone de dépôt.

10 Il existe plusieurs techniques de « goutte à la demande ». La goutte de matériau 13 peut être éjectée en utilisant une résistance chauffante, ou en utilisant les caractéristiques de déformation des matériaux piézo-électriques sous tension. Cette dernière
15 technique permet l'utilisation d'une grande variété de produits à éjecter.

La technique de « goutte à la demande » permet avantageusement de délivrer le matériau de renfort 13 goutte par goutte, chaque goutte étant délivrée suite à
20 une impulsion électronique à destination de la tête d'impression 50.

L'épaisseur du matériau déposé peut être contrôler en affinant les paramètres suivant :

- 25 - utilisation de plusieurs buses de diamètre prédéterminé et commandées indépendamment ;
- réalisation de plusieurs passages de la plaquette 1 sous la tête d'impression 50 ;
- variation de la vitesse de défilement de la plaquette 1 sous la tête d'impression 50.

30 Ces paramètres permettent d'affiner l'épaisseur du matériau de renfort 13 déposé. En particulier, il est possible de superposer plusieurs gouttes de produit 13.

De plus, il est possible de modifier automatiquement le motif de la plaquette en cours de

dépôt afin de faire correspondre les zones non encore enduites avec la vitesse de défilement.

5 L'utilisation de plusieurs buses dans la tête d'impression 50 permet à cette dernière de balayer toute la plaquette 1 alors que l'électronique de commande déclenche le jet de gouttes de produit 13 en fonction du fichier numérique propre à la plaquette 1 en cours de balayage.

10 La figure 6 illustre schématiquement une puce de circuit 10 connectée sur un substrat 15 selon le procédé de la présente invention.

15 La puce est retournée pour une connexion de type « flip chip » et positionnée de manière à placer les bossages 12 de ses plots de contact 11 en vis à vis des plages de contact 18 du circuit électrique et/ou électronique.

20 Les plages de contact 18 ont été préalablement déposées sur le circuit. Elles sont illustrées par un épais trait noir sur la figure pour une meilleur compréhension, mais elles présentent en réalité une épaisseur négligeable. Les plages de contact 18 sont généralement imprimées au moyen d'une encre conductrice.

25 Le pouvoir adhésif du matériau de renfort 13 est réactivé lors du report de la puce 10 sur le substrat 15, par chauffage ou par pression ou par tout autre moyen. Le matériau de renfort 13 permet ainsi de fixer la puce 10 sur le substrat 15 par collage, tout en isolant la face active de la puce.

30 L'épaisseur du matériau 13 déposé sur la plaquette 1 est légèrement supérieure à l'épaisseur des bossages 12 réalisés avant ou après le dépôt du matériau 13. Lors du report de la puce 10, le matériau de renfort 13

est ramolli et pressé contre le substrat 15 de manière à s'aplatir légèrement pour permettre la connexion des bossages 12 avec les plages de contact 18 du substrat 15.

REVENDICATIONS

1. Procédé de fabrication de puces de circuits intégrés, caractérisé en ce qu'il comporte une étape consistant à réaliser une enduction sélective d'un
5 matériau de renfort (13) adhésif sur toute la surface active d'une plaquette (1) de circuits intégrés avant dissociation des puces (10) en excluant les zones des plots de contact (11) de chaque puce (10).
- 10 2. Procédé de fabrication selon la revendication 1, caractérisé en ce que l'enduction sélective du matériau de renfort (13) est réalisée par sérigraphie à travers un écran (40) et au moyen d'une racle (41), l'écran de sérigraphie (40) étant réalisé à partir du masque de
15 gravure des plots de contact (11) des puces (10) sur la plaquette (1).
3. Procédé de fabrication selon la revendication 2, caractérisé en ce que l'écran de sérigraphie (40) est
20 réalisé en toile inox.
4. Procédé de fabrication selon la revendication 1, caractérisé en ce que l'enduction sélective du matériau de renfort (13) est réalisée par impression au jet de
25 matière au moyen d'une tête d'impression (50) commandée électroniquement à partir d'un fichier numérique créé d'après le motif du masque de gravure des plots de contact (11) des puces (10) sur la plaquette (1).
- 30 5. Procédé de fabrication selon la revendication 4, caractérisé en ce que l'enduction du matériau de renfort (13) est réalisée goutte par goutte sur la

plaquette (1), chaque goutte étant délivrée suite à une commande électronique sur la tête d'impression (50).

5 6. Procédé de fabrication selon l'une des revendications 4 à 5, caractérisé en ce que la vitesse de défilement de la plaquette (1) est commandée électroniquement.

10 7. Procédé de fabrication selon la revendication 6, caractérisé en ce que l'électronique de commande modifie automatiquement le fichier numérique du motif de la plaquette (1) afin de faire correspondre les zones non enduites de produit (13) avec la vitesse de défilement de la plaquette (1).

15 8. Procédé de fabrication selon l'une des revendications 4 à 7, caractérisé en ce que la tête d'impression (50) comporte plusieurs buses de diamètre prédéterminé et pilotées indépendamment.

20 9. Procédé de fabrication selon la revendication 8, caractérisé en ce que la tête d'impression (50) balaye toute la plaquette (1) et l'électronique de commande déclenche la délivrance de goutte à la demande en
25 fonction du fichier numérique propre à ladite plaquette (1).

30 10. Procédé de fabrication selon l'une quelconque des revendications précédentes, caractérisé en ce que le matériau de renfort (13) est constitué par un matériau isolant, solide et activable à chaud et/ou à la pression lors de la connexion de la puce (10).

11. Procédé de fabrication selon la revendication 10, caractérisé en ce que le matériau de renfort (13) est un thermoplastique.

5 12. Procédé de fabrication selon la revendication 10, caractérisé en ce que le matériau de renfort (13) est une résine époxy bi-état.

10 13. Procédé de fabrication selon l'une quelconque des revendications précédentes, caractérisé en ce que l'épaisseur du matériau de renfort (13) enduit est supérieure ou égale à l'épaisseur des bossages (12) des plots de contact (11).

15 14. Plaquette de puces de circuits intégrés, caractérisée en ce qu'elle comporte un matériau de renfort (13) adhésif déposé sur la face active des puces en excluant les zones des plots de contact (11).

20 15. Procédé de fabrication d'un dispositif électronique comportant un substrat et au moins une puce fixée sur le substrat par une matière adhésive, caractérisé en ce que :

- 25
- on fournit une puce (10) comportant un matériau de renfort (13) adhésif sur sa surface active à l'exception de ses plots de contact (11) ;
 - on fixe la puce (10) sur le substrat (15) par collage au moyen du matériau de renfort (13) adhésif.

30

16. Procédé de fabrication selon la revendication 15, caractérisé en ce que une connexion des plots de contact (11) à des plages de contact (18) d'un circuit électrique et/ou électronique, préalablement disposé

sur ledit substrat (15), est réalisé simultanément au collage de la puce (10) sur le substrat (15).

17. Dispositif électronique comportant une puce de
5 circuit intégré (10) collée face avant sur un substrat
(15) par une matière adhésive (13), caractérisé en ce
que la matière (13) s'étend uniquement dans les limites
de la face active de la puce (10) à l'exception au
moins de ses plots de contact (11).

10

18. Dispositif électronique selon la revendication
17, caractérisé en ce qu'il consiste en une carte de
mémoire.

1/2

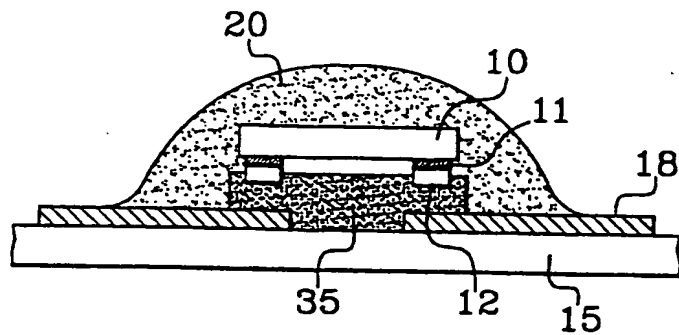


FIG.1

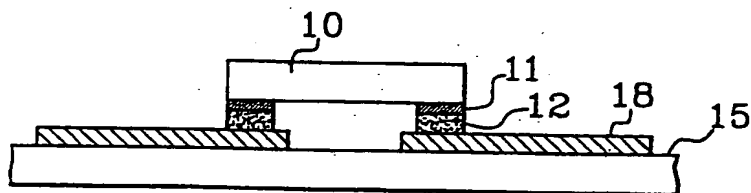


FIG.2

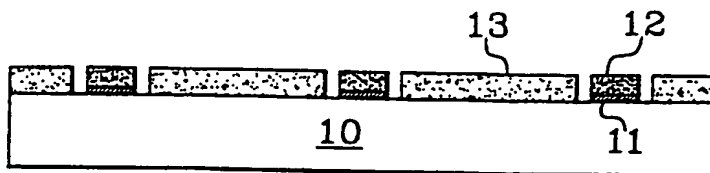
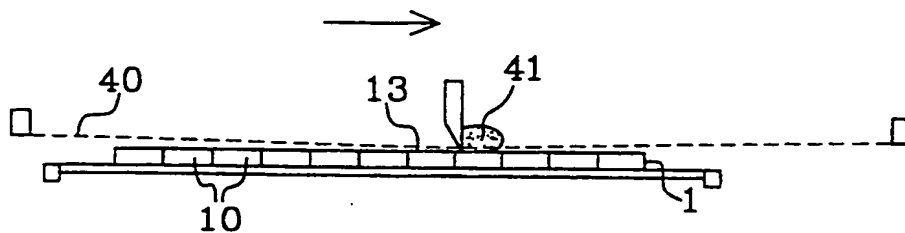
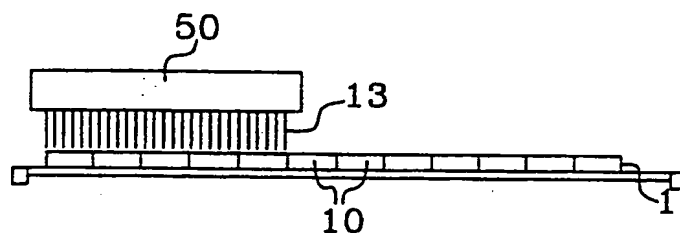
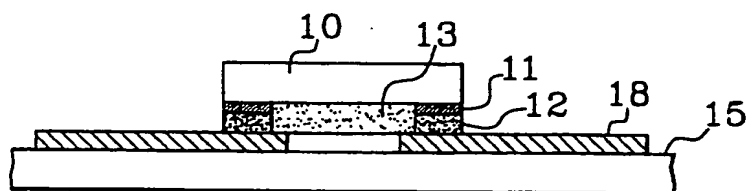


FIG.3

2/2

**FIG. 4****FIG. 5****FIG. 6**

INTERNATIONAL SEARCH REPORT

In. International Application No

PCT/FR 00/00546

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/58 H01L21/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	EP 0 253 444 A (NAT STARCH CHEM CORP) 20 January 1988 (1988-01-20) claims 1-4 ---	1, 14, 15, 17 12
Y A	WO 98 57370 A (YOSHIOKA MASAHIRO ;HOTTA YUJI (JP); MOCHIZUKI AMANE (JP); SAKAMOTO) 17 December 1998 (1998-12-17) figures 3,4 ---	1, 14, 15, 17
A	GB 2 179 001 A (BURR BROWN CORP) 25 February 1987 (1987-02-25) claims 1,2,4,24 ---	1,2,14, 15,17
A	EP 0 051 165 A (BURROUGHS CORP) 12 May 1982 (1982-05-12) page 8, line 7 - line 15; claim 1 ---	1,11,12
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

15 May 2000

Date of mailing of the international search report

23/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

De Raeve, R

INTERNATIONAL SEARCH REPORT

In. International Application No

PCT/FR 00/00546

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>WO 96 13066 A (NAT SEMICONDUCTOR CORP)</p> <p>2 May 1996 (1996-05-02)</p> <p>claim 1</p> <p>-----</p>	<p>1, 12, 14,</p> <p>15, 17</p>

INTERNATIONAL SEARCH REPORT

Information on patent family members

In. International Application No

PCT/FR 00/00546

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0253444	A	20-01-1988	US 4793883 A	27-12-1988
			DE 3784796 A	22-04-1993
			DE 3784796 T	22-07-1993
			JP 63072133 A	01-04-1988
			US 5030308 A	09-07-1991
WO 9857370	A	17-12-1998	JP 11003909 A	06-01-1999
GB 2179001	A	25-02-1987	DE 3625596 A	19-02-1987
			FR 2586251 A	20-02-1987
			JP 62039681 A	20-02-1987
EP 0051165	A	12-05-1982	BR 8107128 A	20-07-1982
			JP 57104234 A	29-06-1982
WO 9613066	A	02-05-1996	EP 0736225 A	09-10-1996

RAPPORT DE RECHERCHE INTERNATIONALE

Doc. Internationale No

PCT/FR 00/00546

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L21/58 H01L21/56

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y A	EP 0 253 444 A (NAT STARCH CHEM CORP) 20 janvier 1988 (1988-01-20) revendications 1-4 ---	1, 14, 15, 17 12
Y	WO 98 57370 A (YOSHIOKA MASAHIRO ; HOTTA YUJI (JP); MOCHIZUKI AMANE (JP); SAKAMOTO) 17 décembre 1998 (1998-12-17) figures 3, 4 ---	1, 14, 15, 17
A	GB 2 179 001 A (BURR BROWN CORP) 25 février 1987 (1987-02-25) revendications 1, 2, 4, 24 ---	1, 2, 14, 15, 17
A	EP 0 051 165 A (BURROUGHS CORP) 12 mai 1982 (1982-05-12) page 8, ligne 7 - ligne 15; revendication 1 --- -/-	1, 11, 12

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

15 mai 2000

Date d'expédition du présent rapport de recherche internationale

23/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

De Raeve, R

RAPPORT DE RECHERCHE INTERNATIONALE

De. Recherche Internationale No

PCT/FR 00/00546

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WO 96 13066 A (NAT SEMICONDUCTOR CORP) 2 mai 1996 (1996-05-02) revendication 1 -----	1, 12, 14, 15, 17

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Document internationale No

PCT/FR 00/00546

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0253444 A	20-01-1988	US 4793883 A	27-12-1988
		DE 3784796 A	22-04-1993
		DE 3784796 T	22-07-1993
		JP 63072133 A	01-04-1988
		US 5030308 A	09-07-1991
WO 9857370 A	17-12-1998	JP 11003909 A	06-01-1999
GB 2179001 A	25-02-1987	DE 3625596 A	19-02-1987
		FR 2586251 A	20-02-1987
		JP 62039681 A	20-02-1987
EP 0051165 A	12-05-1982	BR 8107128 A	20-07-1982
		JP 57104234 A	29-06-1982
WO 9613066 A	02-05-1996	EP 0736225 A	09-10-1996